



500.43485X00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): KUDO, et al.

Serial No.: 10/772,401

Filed: February 6, 2004

Title: DISPLAY APPARATUS

LETTER CLAIMING RIGHT OF PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

March 3, 2004

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s) the right of priority based on:

**Japanese Patent Application No. 2003-030282
Filed: February 7, 2003**

A certified copy of said Japanese Patent Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP

Hung H. Bui
Registration No.: 40,415

HHB/rr
Attachment

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 2月 7日

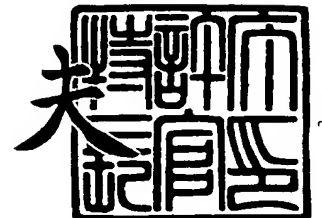
出願番号
Application Number: 特願2003-030282
[ST. 10/C]: [JP2003-030282]

出願人
Applicant(s): 株式会社日立製作所
株式会社 日立ディスプレイズ

2004年 2月 9日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



出証番号 出証特2004-3007869

【書類名】 特許願

【整理番号】 K03002771A

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/36

【発明者】

【住所又は居所】 神奈川県川崎市麻生区王禅寺 1 0 9 9 番地 株式会社日立製作所システム開発研究所内

【氏名】 工藤 泰幸

【発明者】

【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

【氏名】 松戸 利充

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所半導体グループ内

【氏名】 大門 一夫

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社日立画像情報システム内

【氏名】 相澤 弘己

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社 日立製作所

【特許出願人】

【識別番号】 502356528

【氏名又は名称】 株式会社 日立ディスプレイズ

【代理人】

【識別番号】 100075096

【弁理士】

【氏名又は名称】 作田 康夫

【手数料の表示】

【予納台帳番号】 013088

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置

【特許請求の範囲】

【請求項 1】

複数の表示パネルを有する表示装置において、

外部プロセッサからの表示データに応じた階調電圧を前記表示パネルの表示素子へ印加するデータ線駆動回路と、

前記階調電圧を印加すべき前記表示素子を前記表示パネルのラインごとに選択する走査線駆動回路とを備え、

前記データ線駆動回路は、前記複数の表示パネルで共通であり、

前記データ線駆動回路は、前記外部プロセッサからの表示データに応じた階調電圧を前記複数の表示パネルのうちの一部の表示パネルの表示素子へ印加し、前記一部の表示パネルの垂直帰線期間中に黒データ又は白データに応じた階調電圧を前記複数の表示パネルのうちの他の表示パネルの表示素子へ印加する表示装置。

【請求項 2】

請求項 1 の表示装置において、

前記データ線駆動回路は、

複数の階調電圧を生成する階調電圧生成回路と、

前記外部プロセッサからの表示データに応じた階調電圧を前記複数の階調電圧の中から選択し、選択された前記階調電圧を前記表示パネルの表示素子へ印加する階調電圧セレクトと、

前記一部の表示パネルの垂直帰線期間中に、前記外部プロセッサからの表示データを前記黒データ又は白データへ変換し、前記黒データ又は白データを前記階調電圧セレクトへ出力するデータ変換回路を備える表示装置。

【請求項 3】

請求項 1 に記載の表示装置において、

前記走査線駆動回路は、前記一部の表示パネルの表示素子を選択するための走査パルスよりも低周波の走査パルスによって、前記他の表示パネルの表示素子を

選択する表示装置。

【請求項 4】

請求項 1 に記載の表示装置において、

前記走査線駆動回路は、前記一部の表示パネルの 1 走査期間ごとに前記一部の表示パネルの表示素子を選択し、前記一部の表示パネルの垂直帰線期間ごとに前記他の表示パネルの表示素子を選択する表示装置。

【請求項 5】

請求項 1 に記載の表示装置において、

前記データ線駆動回路は、

複数の階調電圧を生成する階調電圧生成回路と、

前記外部プロセッサからの表示データに応じた階調電圧を前記複数の階調電圧の中から選択し、選択された前記階調電圧を前記表示パネルの表示素子へ印加する階調電圧セレクタとを備え、

前記階調電圧生成回路は、前記一部の表示パネルの垂直帰線期間中に、前記複数の階調電圧のうち前記黒データ又は白データに応じた階調電圧以外の階調電圧を生成するための内部回路を停止する表示装置。

【請求項 6】

請求項 1 に記載の表示装置において、

前記階調電圧生成回路は、前記走査線駆動回路が複数の表示パネルの表示素子を選択していない期間中に、停止する表示装置。

【請求項 7】

複数の表示パネルを有する表示装置において、

外部プロセッサからの表示データに応じた階調電圧を前記表示パネルの表示素子へ印加するデータ線駆動回路と、

前記階調電圧を印加すべき前記表示素子を前記表示パネルのラインごとに選択する走査線駆動回路とを備え、

前記データ線駆動回路は、前記外部プロセッサからの表示データに応じた階調電圧を前記複数の表示パネルのうちの一部の表示パネルの表示素子へ印加し、前記一部の表示パネルの垂直帰線期間中に前記外部プロセッサからの表示データと

は異なる所定の表示データに応じた階調電圧を前記複数の表示パネルのうちの他の表示パネルの表示素子へ印加する表示装置。

【請求項 8】

請求項 7 に記載の表示装置において、

前記データ線駆動回路は、前記複数の表示パネルで共通である表示装置。

【請求項 9】

請求項 8 に記載の表示装置において、

前記データ線駆動回路は、

複数の階調電圧を生成する階調電圧生成回路と、

前記外部プロセッサからの表示データに応じた階調電圧を前記複数の階調電圧の中から選択し、選択された前記階調電圧を前記表示パネルの表示素子へ印加する階調電圧セレクトと、

前記外部プロセッサからの所定の表示データとは異なる所定の表示データを記憶するメモリを備え、

前記階調電圧セレクトは、前記一部の表示パネルの垂直帰線期間中に、前記メモリ内の前記所定の表示データに応じた階調電圧を前記複数の階調電圧の中から選択する表示装置。

【請求項 10】

複数の表示パネルを有する表示装置において、

複数の階調電圧を生成する階調電圧生成回路と、

外部プロセッサからの表示データに応じた階調電圧を前記複数の階調電圧の中から選択し、選択された前記階調電圧を前記表示パネルの表示素子へ印加する階調電圧セレクトと、

前記階調電圧を印加すべき前記表示素子を前記表示パネルのラインごとに選択する走査線駆動回路とを備え、

前記階調電圧セレクトは、前記外部プロセッサからの表示データに応じた階調電圧を前記複数の表示パネルのうちの一部の表示パネルの表示素子へ印加し、前記複数の階調電圧のうち相対的に低い階調電圧を前記複数の表示パネルのうちの他の表示パネルの表示素子へ印加し、

前記走査線駆動回路は、前記一部の表示パネルの垂直帰線期間中に、前記他の表示パネルの表示素子を選択する表示装置。

【請求項 1 1】

複数の表示領域に分割された表示パネルを有する表示装置において、
外部プロセッサからの表示データに応じた階調電圧を前記表示パネルの表示素子へ印加するデータ線駆動回路と、

前記階調電圧を印加すべき前記表示素子を前記表示パネルのラインごとに選択する走査線駆動回路とを備え、

前記データ線駆動回路は、前記複数の表示パネルで共通であり、

前記データ線駆動回路は、前記外部プロセッサからの表示データに応じた階調電圧を前記複数の表示領域のうちの一部の表示領域の表示素子へ印加し、黒データ又は白データに応じた階調電圧を前記複数の表示領域のうちの他の表示領域の表示素子へ印加し、

前記走査線駆動回路は、前記一部の表示領域の垂直帰線期間中に、前記他の表示パネルの表示素子を選択する表示装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、複数の表示パネル（複数の表示領域）を有する表示装置に関する。

【0 0 0 2】

【従来の技術】

従来の技術として、特許文献 1 には、表示パネルの一部の領域に表示を行うパースシャル表示が記載されている。つまり、特許文献 1 では、n 行 m 列マトリクスの画素を備える液晶表示装置などの駆動に際し、パースシャル表示命令が出された場合に、1 フレーム期間中に、n 行 m 列マトリクスの内、設定可能な s 行 m 列パースシャル表示領域には各行を順次選択して所定のパースシャル表示データを書き込む。パースシャル表示領域以外の背景領域にはオフ表示（白表示）データ等の所定背景データを書き込む。背景領域には、1 フレーム期間中、k 行 m 列のみ選択して背景表示データを書き込む。選択される k 行はフレーム毎にシフト処理し、背

景領域の全領域は $(n - s) / k$ フレームで 1 回選択する。背景表示データの書き込みは、所定期間毎に基準電圧に対する極性を反転させて行い、背景領域の画素を確実にオフ表示データで反転駆動する。

【0 0 0 3】

また、特許文献 2 には、別々のデータ線駆動回路で 2 つの画素アレイを別々に駆動する表示装置が開示されている。つまり、特許文献 2 では、1 画像を表示する周期中の一期間において、液晶パネル上に画像を表示するために、第 1 及び第 2 の画素アレイごとに、ゲート線を選択するようにゲート線駆動手段 2 を制御し、画像を表示する画像信号を第 1 及び第 2 のデータ線グループに供給するように第 1 及び第 2 のデータ線駆動手段 4 a、4 b を制御し、かつ一期間と同一の周期中の一期間とは異なる別の期間において、第 1 及び第 2 の画素アレイごとに、ゲート線を再度選択するようにゲート線駆動手段 2 を制御し、所定の電位を有し、画像信号とは異なる非画像信号を第 1 及び第 2 のデータ線グループに供給するように第 1 及び第 2 のデータ線駆動手段 4 a、4 b を制御する制御手段とを有する。

【0 0 0 4】

また、特許文献 3 には、1 つのドライバで 2 つ液晶パネルを表示することが開示されている。つまり、特許文献 3 では、各画素ごとにスイッチング素子および記憶素子を有する X Y マトリクス型の第 1 および第 2 の液晶パネルと、第 1 および第 2 の液晶パネルに所定周期毎に極性が反転する映像信号を、該第 1 の液晶パネルと第 2 の液晶パネルに同時に供給される映像信号の極性が互いに反対の極性となるように供給する液晶駆動装置を有する。

【0 0 0 5】

【特許文献 1】特開 2 0 0 1 - 3 5 6 7 4 6 号公報

【特許文献 2】特開平 1 1 - 1 0 9 9 2 1 号公報

【特許文献 3】特開平 7 - 1 7 5 4 4 8 号公報

【0 0 0 6】

【発明が解決しようとする課題】

特許文献 1 に記載の技術では、2 つの表示パネルを駆動することまでは考慮さ

れていない。

【0 0 0 7】

特許文献 2 に記載の技術では、1 つのデータ線駆動回路で 2 つの画素アレイを駆動することまでは考慮されていない。

【0 0 0 8】

特許文献 3 に記載の技術では、2 つの液晶パネルに別々の映像信号を供給することまでは考慮されていない。

【0 0 0 9】

本発明の目的は、複数の表示パネルを共通回路によって別々に駆動でき、さらに、消費電力を低減できる表示装置を提供することである。

【0 0 1 0】

【課題を解決するための手段】

本発明では、データ線駆動回路については、メイン画面及びサブ画面の両表示データに応じた階調電圧を印加できるような構成とし、走査線駆動回路では、メイン画面及びサブ画面の両駆動ラインを駆動できるような構成とする事で、あたかも 1 つの画面を駆動する様に 1 個のデータ線駆動回路及び走査線駆動回路で 2 画面を駆動可能な構成とした。

【0 0 1 1】

更に、2 画面のうちどちらか片方を非表示とする場合、表示させる画面（メイン画面）のみの表示同期信号を受け、その表示同期信号の垂直帰線期間中に非表示画面（サブ画面）を走査させる。

【0 0 1 2】

【発明の実施の形態】

本発明第 1 の実施形態の表示装置の構成について、図 1 から図 1 7 を用いて説明する。

【0 0 1 3】

図 1 は、2 画面を使用する折り畳み式携帯電話機の概要図である。図 1（a）に示すように、電話番号、文字入力または、携帯電話機の各種設定等を行うためのメイン画面（内側大画面）、または図 1（b）に示すように折り畳んだ状態で

も情報が表示されるサブ画面（外側小画面）といった2画面を使用する。ここで、これら2画面を使用した携帯電話機の消費電力を極力低減させるため、メイン画面を使用している場合はサブ画面を非表示とし、待受け状態（折り畳んでいる状態）ではサブ画面に表示を行い、メイン画面は非表示となるように表示状態を制御する。さらに、メイン画面を駆動するデータ線駆動回路とサブ画面を駆動するデータ線駆動回路は共通（共通のLSI）である。一方、メイン画面を走査する走査線駆動回路と、サブ画面を走査する走査線駆動回路は別項（別個のLSI）である。

【0014】

図2を用いて、本実施形態の動作概要を説明する。図2において、201はデータ線駆動回路、202は走査線駆動回路、203はメイン画面、204はサブ画面である。画面は共にTFT液晶を使うものとする。ここで、メイン画面203とサブ画面204のデータ線は共通であり、走査線駆動回路202はメイン画面203及びサブ画面204の両駆動ラインを駆動できる構成となっている。従って、前記1組の駆動回路で2画面を駆動する事が可能である。

【0015】

次に図2において、メイン画面203が表示状態、サブ画面204が非表示状態であると仮定した場合、メイン画面203に画像表示させるために必要な表示同期信号及び表示データ205が、外部から転送される。表示同期信号及び表示データ205の内訳は、垂直同期信号（以下、Vsyncと呼ぶ）、水平同期信号（以下、Hsyncと呼ぶ）、データイネーブル信号（以下、DEと呼ぶ）、ドットクロック（以下、CLKと呼ぶ）であり、206～208に示す信号波形である。（尚ここでは、上記CLKの信号波形については図示していない）。Vsync206は1フレーム期間（1画面を表示するための期間）を表す垂直同期信号であり、本実施例ではその周波数を60Hzとする。Hsync207は一走査期間を表す水平同期信号である。DE208はデータイネーブル信号であり、この信号が“ハイ”の時、表示データは有効となる。ここで、このDE208信号は1フレームに1回、数ライン期間“ロー”となるが、この期間を垂直帰線期間と呼ぶ。一方、表示データ209は、上記垂直帰線期間時には非表示である

サブ画面用のデータが転送され、それ以外の時はメイン画面用の表示データが転送されるものとする。ここで、メイン画面用の表示データは、例えば一画素当たり 16 bit (赤: 5 bit、緑: 6 bit、青: 5 bit) の色情報を有するものとし、非表示画面のデータについては、例えば画面の消費電力が最小となるような固定データとする。本実施の形態においては黒データ (赤、緑、青、全て 0) が転送されるものとする。

【0016】

次に、各画面の駆動タイミングについて、以下説明する。210 はメイン画面の 1 ライン目を駆動するための走査パルスであり、211 は 2 ライン目、212 は 3 ライン目をそれぞれ駆動するための走査パルスである。この様に、メイン画面は表示状態であるため、一走査期間毎に順次走査パルスを印加する。一方、サブ画面は非表示状態であるため、一走査期間毎に順次走査パルスを印加する必要が無い。しかし、液晶等の表示装置を用いた場合、液晶の特性として、直流成分を印加し続けると液晶を劣化させてしまうため非表示状態でも走査パルスを印加し、交流駆動を行う必要がある。そこで、同図 2 に示すように非表示であるサブ画面は、メイン画面の垂直帰線期間に走査パルスを生成し、メイン画面の垂直帰線期間毎にライン順次駆動させれば良い。ここで、213 はサブ画面 202 の 1 ライン目の走査パルスであり、214 は 2 ライン目の走査パルスを示しており、各走査パルスともメイン画面の垂直帰線期間で生成される。

【0017】

このことから、メイン画面における走査パルスの動作周波数はフレーム周波数 = 60 Hz と同等となる。一方、サブ画面は、メイン画面の垂直帰線期間で 1 ラインを走査させるので、走査パルスの動作周波数は $1/60 \text{ Hz}$ となり、非表示画面を低周波数で駆動させ、低消費電力が実現できる。尚、メイン画面の垂直帰線期間では、メイン画面も非表示状態である。

【0018】

次に、前述した本発明による低消費電力駆動を行うための詳細手段について以下に示す。

【0019】

図3は本発明の表示装置を携帯電話機に適応した場合の構成図である。図3において、301はホスト局であり、302は携帯電話機を示している。携帯電話機302の主な構成要素はアンテナ303、送受信部304、CPU305、主メモリ306、入力部307、表示部308である。また、表示部308の主な構成は、データ線駆動回路201、走査線駆動回路202、メイン画面203、サブ画面204である。さらに、データ線駆動回路201は、システムインタフェース311、揮発性の制御レジスタ312、タイミング調整部313、メモリ制御部314、メモリ315、階調電圧生成部316、階調電圧セクタ317、走査駆動回路インタフェース318から構成される。但し、3画面以上であってもよい。

【0020】

まず、携帯電話機302内のCPU305は、携帯電話機の各種動作制御を行うLSIであり、画面制御に関しては、先のホスト301からの受信情報、又は主メモリ306内に予め格納されている画像データを画面に表示できるように、表示同期信号及び表示データ205を出力する。ここで、表示同期信号及び表示データ205は、メイン画面用とサブ画面用の2種類が用意されており、例えば、携帯電話機を開いた状態ではメイン画面用、折り畳んだ状態ではサブ画面204用が出力される。この動作は、例えば折り畳んだ状態でONとなるスイッチを設け、この信号の状態をCPU305が判定し、この結果に応じて出力を選択することで実現可能である。またCPU305は、上記の表示同期信号及び表示データ205の他に、データ線駆動回路201と走査線駆動回路202の内部動作を制御するための表示動作制御信号310を出力する。システムインタフェースにおける信号タイミング等の詳細については上記刊行物に記載があるので省略するが、動作の概要は、CPUからインストラクション（動作制御信号301のデータ）を発行し、このデータをドライバ内部の制御レジスタに格納することで、ドライバ内部の動作を決定することにある。

【0021】

ここで、本発明の特徴である2画面の駆動方法を実現するため、上記刊行物記載のインストラクション以外に、メイン画面のライン数（以下MLと呼ぶ）、サ

ブ画面のライン数（以下SLと呼ぶ）、垂直帰線期間のライン数（以下BLと呼ぶ）、及びどちらの画面を表示状態にするかの情報（以下DSと呼ぶ）の、4種類のインストラクションを本実施の形態では追加することにした。図4は、上記インストラクションが、制御レジスタ312のどのアドレスに格納されるかを示した例である。なお、図4において、ML=176 [10進数]、SL=96 [10進数]、BL=4 [10進数]、DS=0 [2進数]となっているが、これは後の説明を判り易くするための一例である。次に、上記のインストラクションを制御レジスタ312に発行するシーケンスは、図5に示すように、まず、表示を行う前の初期設定時には、4種類全てのインストラクション発行を実施する。その後、どちらの画面を表示状態にさせるか、並びにこれに合わせた表示同期信号及び表示データ205の転送については随時変更していく。この変更は、先に述べた様に、例えば折り畳んだ状態でONとなるスイッチを設け、この信号の状態をCPU305が判定し、制御することで実現可能である。初期設定は、データ線駆動回路201への電源投入ごとに行われる。

【0022】

次に、上記インストラクションが制御レジスタ312に格納された後の、データ線駆動回路201、及び走査線駆動回路202の動作について説明する。

【0023】

まず、図4で示した設定値が格納されている場合について考えると、DS信号が“0”であることから、メイン画面表示動作（サブ画面非表示動作）のモードとなる。この場合、メモリ制御部314へは、メイン画面用の表示同期信号205が入力され、メモリ315の所定のアドレスに表示データがライトされる。ここで、アドレッシングの方法は、画面の表示位置と一致させるため、Vsyncに基いて先頭アドレスにリセットされ、DEが“ハイ”期間のドットクロックに同期して、横方向にデータを順次ライトし、Hsyncに基いて改行する動作を繰り返す。そして、DEが“ロー”期間で転送される非表示画面用の“黒データ”は、表示動作の表示データをライトする最終行の、次の行以降にライトされる。

【0024】

次に、タイミング調整部 313 は、表示同期信号 205 を受け、メモリ 315 のリード制御信号、及び走査線駆動回路の動作タイミング信号 320 を生成する。これらのタイミングチャートを図 6 に示す。図 6 において、RST はアドレスを先頭にするためのリセット信号、CL1 はリード同期信号である。これらのクロックに基づき、メモリ 315 からは、リードデータ RDATA が 1 ライン分ずつ順次一斉に出力される。次に、動作タイミング信号 320 の内訳は、先頭ラインを指示する FLM と、走査パルスの出力タイミングを指示する CL3 である。なお、以上述べた信号群は、入力表示同期信号 205 から論理回路で容易に生成可能であるため、詳細な回路構成については省略する。

【0025】

階調電圧生成回路 316 は、表示データに応じたレベル数の階調電圧を生成するブロックである。例えば本実施例におけるレベル数は、先に述べた様に緑のデータが 6 bit あるため、64 レベルとなる。

【0026】

階調電圧セクタ 317 は、階調電圧生成回路 316 で生成された各階調電圧レベルの中から、メモリ 315 からリードされる RDATA に従って 1 レベル選択し、階調電圧として出力する。以上述べた動作により、出力される階調電圧は CL1 に同期して一斉に出力される。そして、表示部の階調電圧を全て出力し終えた後は、黒データに応じた階調電圧が出力される。そして再び先頭ラインに戻ってこの動作を繰り返す。

【0027】

転送インタフェース 318 は、制御レジスタ 312 に格納されたデータの一部を走査線駆動回路 202 へ転送するブロックであり、この構成と動作は、例えば先に述べた 256 色カラー表示対応 RAM 内蔵 384 チャンネルセグメントドライバ HD66763」暫定仕様書 Rev 0.6 記載の“コモンドライバインタフェース”に準拠しているものとする。コモンドライバインタフェースにおける信号タイミング等の詳細については該刊行物に記載があるので省略する。

【0028】

次に、走査線駆動回路 202 の構成と動作を、図 7 を用いて説明する。走査線

駆動回路 202 は、制御インタフェース 701、制御レジスタ 702、走査パルス生成回路 703、レベルシフタ 704 から構成される。

【0029】

制御インタフェース 701 は、転送インタフェース 318 から転送されるインストラクションデータを受け、制御レジスタ 702 に格納する動作を行う。ここで、インストラクションデータは、本発明の特徴である、ML、SL、BL、DS の 4 種類のインストラクションを含む。

【0030】

走査パルス生成回路 703 は、制御レジスタ 702 に格納された上記 4 種類のインストラクションデータと、タイミング調整部から転送される動作タイミング信号 320 に基づき、どの出力端子にどのタイミングで走査パルスを出力させるかを決定するブロックである。例えば、先に述べた様に、 $ML = 176$ [10 進数]、 $SL = 96$ [10 進数]、 $BL = 4$ [10 進数]、 $DS = 0$ [2 進数] の場合、図 8 に示すように、D1 から D176 まだがメイン画面用となり、1 走査期間毎にパルスが順次発生する。そして、D177 から D272 ($= 176 + 96$) まだがサブ画面用となり、垂直帰線期間毎にパルスが順次発生する。一般的には、 $ML = m$ 、 $SL = s$ 場合、D1 から Dm まだがメイン画面用、Dm+1 から Dm+s まだがサブ画面用となる。そして、 $DS = 0$ ならば、メイン画面用に 1 走査期間毎、サブ画面に垂直帰線期間毎のパルスが順次発生する。 $DS = 1$ ならば、反対にメイン画面用に垂直走査期間毎、サブ画面に 1 走査期間毎のパルスが順次発生する。

【0031】

レベルシフタ 704 は、走査パルス生成回路 703 が出力する D 信号群をレベルシフトし、各画面の走査線に出力する。レベルシフトの目安は、D 信号の“ハイ”で TFT がオンする電圧レベル、“ロー”で TFT がオフするレベルとする。

【0032】

以上述べたように、データ線駆動回路 201 では、例えば、表示状態であるメイン画面 203 に表示データに応じた階調電圧を印加し、非表示状態であるサブ

画面 2 0 4 には黒データに対応した階調電圧を印加する。一方、走査線駆動回路 2 0 2 は、メイン画面 2 0 3 を 1 走査期間毎に駆動できるような走査パルスを生成し、またサブ画面 2 0 4 については垂直帰線期間毎に駆動できるような走査パルスを生成し、各画面にそれら走査パルスを順次印加する。これにより、非表示画面については低周波数で駆動できる。

【0 0 3 3】

従って本実施形態では、メインとサブの 2 画面の駆動を、部品点数、部品面積、及びコスト等を増大させずに、低消費電力で実現できる。

【0 0 3 4】

なお、本発明第 1 の実施の形態では、画面に T F T 液晶を用いたが、これに限られる訳ではなく、例えば有機 E L 等の他類の画面にも適応可能である。

【0 0 3 5】

また、本発明第 1 の実施の形態においては、非表示画面を垂直帰線期間毎に 1 ラインずつ低周波数駆動したが、これに限られる訳でなく、複数ラインを同時に駆動してもよい。

【0 0 3 6】

また、本発明第 1 の実施の形態においては、非表示画面の表示を黒データとしたが、これに限られる訳ではない。例えば、ノーマリホワイトモードの液晶を使用するのであれば、白データを適用した方が一般に消費電力は低くなる。

【0 0 3 7】

また、本発明第 1 の実施の形態は、いわゆるパーシャル表示モードにも容易に適用可能である。

【0 0 3 8】

また、本発明第 1 の実施の形態における、表示同期信号及び表示データ 2 0 5 は、ラスタスキャン形式で連続して転送されるため、データ線駆動回路 2 0 2 の構成要素であるメモリ 3 1 5 は、必ずしも 1 画面分持つ必要はない。例えば、1 ライン分のバッファでも対応可能である。

【0 0 3 9】

さらに、本発明第 1 の実施の形態における、表示同期信号及び表示データ 2 0

5は、図9に示すようにグラフィックコントローラ901が生成し、転送させる構成でも良い。

【0040】

次に、本発明の第2の実施形態による表示装置について、図10～図12を用いて説明する。先に述べた本発明第1の実施の形態は、2画面のうち非表示状態にある画面の駆動周波数を極端に低くすることで低消費電力化を図った。本発明第2の実施の形態は、これに加え、階調電圧生成部で消費される電力を減らす方法について示したものである。また、2画面のどちらか一方だけではなく、2画面を同時に表示する場合も考慮した。

【0041】

以下、本発明第2の実施形態の特徴を、図10のタイミングチャートを用いて説明する。図10において、FLMは先頭ラインを指示する信号、CL3は走査パルスの出力タイミングを指示する信号であり、これらは本発明第1の実施の形態と同じである。電源信号は、階調電圧生成部を制御する信号であり、“ハイ”で階調電圧生成部が動作し、“ロー”で非動作となる。階調電圧はデータ線駆動部が出力する、表示データに応じた電圧レベルである。次に、M1はメイン画面の1ライン目を駆動するための走査パルスであり、M2は2ライン目、M3は2ライン目をそれぞれ駆動するための走査パルスである。一方、S1はサブ画面の1ライン目を駆動する走査パルスであり、S2は2ライン目を駆動するための走査パルスである。

【0042】

まず、2画面同時表示モードの場合、電源信号は常に“ハイ”であり、階調電圧はメイン画面用に引続き、サブ画面用が出力される。これに連動し、走査パルスもメイン画面用に引続きサブ画面用が、1走査期間毎に順次出力される。つまり、2画面同時表示モードでは、メイン画面とサブ画面があたかも連続した1画面の如く駆動される。次に、メイン画面表示モードの場合、電源信号は基本的にサブ画面用の表示期間は“ロー”となり、複数フレーム期間に一回（図10の斜線部）の割合でサブ画面用の表示期間が“ハイ”となる。この際、階調電圧は消費電量が最小となる表示データ（例えば黒データ）に応じた電圧レベルを出力

するものとする。これに連動し、走査パルスもメイン画面用は毎フレーム期間出力されるが、サブ画面に関しては複数フレームに一回の割合で走査パルスが出力される。なお、サブ画面表示モードにおいては、上記した関係が反対となる。

【0043】

以上説明した様に、本実施形態の表示装置では、表示画面を駆動している期間のみ階調電圧生成部が電力を消費することになる。したがって、階調電圧生成部の消費電力を低減する効果が期待できる。

【0044】

図11を用いて、本発明第2の実施形態の表示装置を、携帯電話機に適応した場合の構成図である。図11において、1101はデータ線駆動部、1102は走査線駆動部、1110はタイミング生成部、1111はメモリ制御部、1112はメモリ、1113は電源制御部、1114はデータ変換部、1115は階調電圧生成部、1120は表示制御信号及び表示データである。その他のブロックは本発明第1の実施の形態と同じであるため、同じ番号とした。

【0045】

まず、データ線駆動部1101の主な変更点は、CPUから表示同期信号を与えられるのではなく、FLMやCL3を自ら内部生成している点である。この理由は、表示同期信号を外部から与えると、垂直帰線期間がサブ画面のライン数分必要になる等の制限が入り、制御が複雑化するためである。なお、表示データについては、本発明第1の実施形態で述べた“システムインタフェース”を用いてCPUから転送され、メモリ1112へ格納することにした。また、メモリ1112はメイン画面とサブ画面の両方を格納できる容量を設け、外部から表示データを転送しなくても、2画面同時表示と1画面表示の両方に対応できる様にした。

【0046】

まず、タイミング生成部1110は、先に述べたFLM及びCL3、メモリリード制御信号であるRST及びCL1を内部生成するためのブロックである。これらの信号の内容については、本発明第1の実施の形態と同様である。また、信号の内部生成にあたっては、発振器を内蔵させ、この出力を分周して生成する方

法が最も容易である。

【0047】

メモリ制御部1111は、システムインタフェース311から与えられる表示データを所定のアドレスにライトする動作を行う、これらの動作については、先の「256色カラー表示対応RAM内蔵384チャンネルセグメントドライバHD66763」暫定仕様書Rev0.6に記載されているため、詳細は省略する。一方、リードに関しては、タイミング生成部110で生成されるRST及びCL1に基づき、メイン画面用からサブ画面の順に、1ライン分ずつ順次リードデータRDATAが、メモリ1112から出力される。そして、後述する電源制御部1113で生成される電源信号が“ロー”の場合、リードデータはデータ変換部1114にて“黒データ”に変換され、階調電圧セクタへ転送される。

【0048】

電源制御部1113は、メイン画面とサブ画面の各種表示モードにおいて、図10で示したタイミングの電源信号を生成して出力する。この動作は、メイン画面とサブ画面のライン数に関する情報、表示・非表示動作の情報、何フレームに1回の割合で非表示部を駆動するかの情報を、CPUからインストラクションとして制御レジスタ312に与え、これらの値、及びRSTとCL1用いた論理回路により実現可能である。

【0049】

階調電圧生成部1115は、本発明第1の実施形態と同様、表示データに応じたレベル数の階調電圧を生成するブロックであり、例えば図12に示ように、ストリング抵抗とオペアンプ、及びスイッチから構成されるものとする。動作としては、まず、電源信号が“ハイ”の場合は、スイッチがオンとなり、各オペアンプに電源が供給され、複数の階調電圧が生成される。そして、電源信号が“ロー”場合は、スイッチがオフとなり、各オペアンプの電源供給、ならびにストリング抵抗に流れる直流電流がストップする。したがって、階調電圧生成部1115の電力消費は0となる。但し、電源信号が“ハイ”の場合に、すべてのオペアンプに電源を供給せずに、黒データに応じた階調電圧（最低電圧）を生成するためのオペアンプ及びストリング抵抗のみに電源を供給し、他の階調電圧を生成する

ためのオペアンプ及びストリング抵抗への電源の供給をストップしてもよい。

【0050】

その他のブロックの構成と動作は、本発明第1の実施形態と同じであるため、説明は省略する。

【0051】

以上述べた本発明第2の実施形態の表示装置は、2画面のうち非表示状態にある画面の駆動周波数を極端に低くすることで低消費電力化を図れる効果に加え、階調電圧生成部で消費される電力を減らすことが可能である。

【0052】

なお、本発明第2の実施の形態においては、非表示画面の表示を“黒表示”としたが、これに限られる訳ではない。例えば、ノーマリホワイトモードの液晶を使用するのであれば、白データを適用した方が一般に消費電力は低くなる。

【0053】

また、本発明第2の実施の形態は、いわゆるパーシャル表示モードにも容易に適用可能である。

【0054】

なお、本発明第2の実施の形態においては、非表示画面の表示を“黒表示”としたが、これに限られる訳ではなく、任意の画像を表示させてもよい。これは、メモリ1112の非表示画面用領域に予め所望の画像データを格納し、ここからリードされるRDATAをデータ変換部1114で“黒データ”に変換せず、そのまま階調電圧セクタへ転送させることで容易に実現可能である。この際、非表示画面用の画像データは、低周波数駆動でもフリッカが発生しにくいとされる、RGB8色表示（中間階調を用いない）が望ましい。さらに、RGB8色表示の実現には、図12におけるV0とV63を出力するオペアンプのみを動作させればよい。従って、電源信号が“ロー”の場合には、V0とV63用以外のオペアンプとストリング抵抗の定常電流をカットする手段を設ければ、“黒表示”に近い電力削減効果が得られる。

【0055】

また、本発明第2の実施の形態では、画面にTFT液晶を用いたが、これに限

られる訳ではなく、例えば有機EL等の他類の画面にも適用可能である。

【0056】

また、本発明第2の実施の形態においては、表示同期信号を装置内部で生成したが、これに限られる訳ではなく、同様の信号を装置外部で生成して転送することでも実現可能である。

【0057】

さらに、本発明第1及び第2の表示装置における機能を兼ね備えることも、勿論可能である。

【0058】

本発明によれば、分離された2画面を、共通のデータ線を用いて駆動する表示装置において、どちらか一方の画面を表示状態とする際、他方の非表示画面の走査周期を極端に低くすることが可能であり、低消費電力化が図れる。また、非表示画面駆動用の走査パルスを、外部装置から転送される表示画面用の表示信号から生成するため、外部装置に特別な制御が不必要であり、使い勝手が良い。

【0059】

さらに、本発明によれば、表示画面を駆動している時間のみ、駆動回路部を動作状態にすることが可能であるため、駆動回路部内の低消費電力化も図れる。

【0060】

本発明によれば、非表示状態の表示パネルも、黒データ又は白データに応じた階調電圧を印加するため、表示素子の劣化を防止できる。

【0061】

【発明の効果】

本発明によれば、複数の表示パネルのうち非表示状態の表示パネルの走査周期が低くなるため、消費電力を低減できるという効果を奏する。

【0062】

本発明によれば、表示パネルを走査していない場合に階調電圧生成回路の一部又は全部を停止するため、消費電力を低減できるという効果を奏する。

【図面の簡単な説明】

【図1】

本発明の 2 画面を使用する折り畳み式携帯電話機の概要図である。

【図 2】

本発明の駆動タイミングを示すタイミングチャートである。

【図 3】

本発明第 1 の実施形態の構成を示すブロック図である。

【図 4】

本発明第 1 の実施形態に係わる制御レジスタ 3 1 2 の内容を示す図である。

【図 5】

本発明第 1 の実施形態に係わるインストラクションの発行シーケンスである。

【図 6】

本発明第 1 の実施形態に係わるタイミング調整部 3 1 3 の動作を示すタイミングチャートである。

【図 7】 本発明第 1 の実施形態に係わる走査線駆動部 2 0 2 の構成を示すブロック図である。

【図 8】

本発明第 1 の実施形態に係わる走査パルス生成回路 7 0 3 の動作を示すタイミングチャートである。

【図 9】

本発明第 1 の実施形態の別構成を示すブロック図である。

【図 1 0】

本発明第 2 の実施形態の動作を示すタイミングチャートである。

【図 1 1】

本発明第 2 の実施形態の構成を示すブロック図である。

【図 1 2】

本発明第 2 の実施形態に係わる階調電圧生成部 1 1 1 5 の構成を示す図である。

【符号の説明】

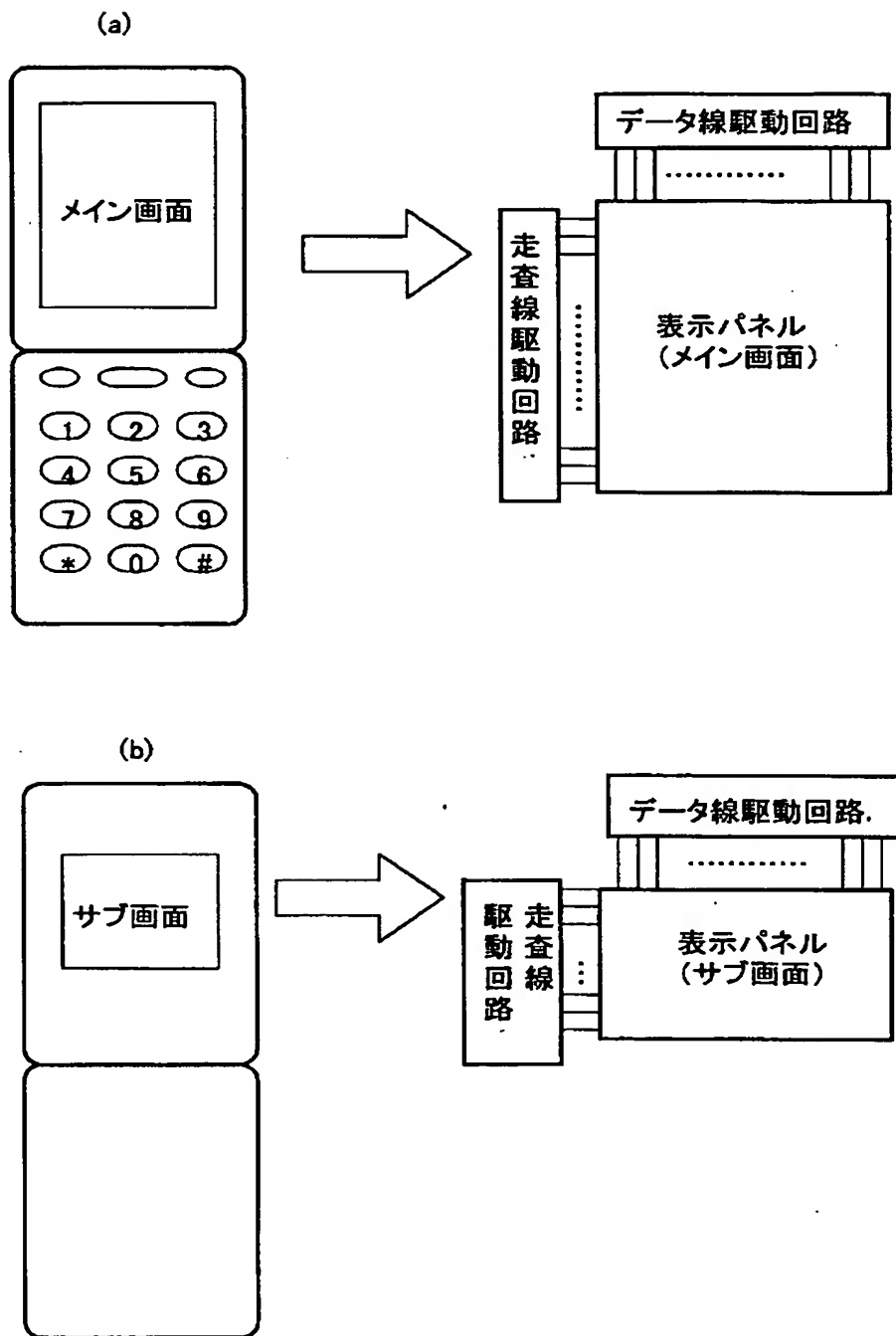
2 0 1 …データ線駆動回路、2 0 2 …走査線駆動回路、2 0 3 …メイン画面、
2 0 4 …サブ画面、2 0 5 …表示同期信号及び表示データ、2 0 6 …V s y n c

(垂直同期信号)、2 0 7…H s y n c (水平同期信号)、2 0 8…D E (データイネーブル信号)、2 0 9…表示データ、2 1 0…メイン画面の1ライン目を駆動する走査パルス、2 1 1…メイン画面の2ライン目を駆動する走査パルス、2 1 2…メイン画面の3ライン目駆を駆動する走査パルス、2 1 3…サブ画面の1ライン目を駆動する走査パルス、2 1 4…サブ画面の2ライン目を駆動する走査パルス。

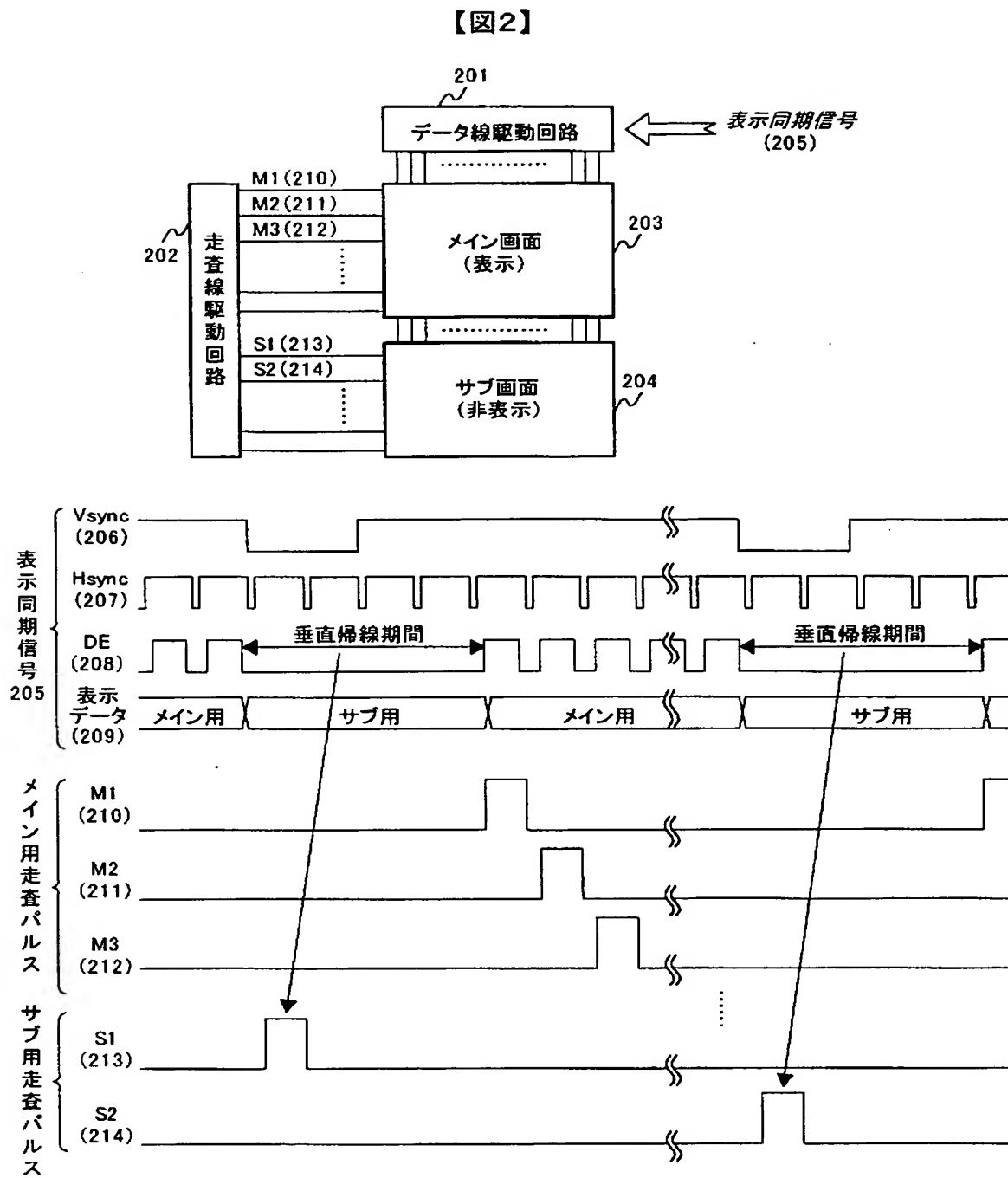
【書類名】 図面

【図 1】

【図 1】

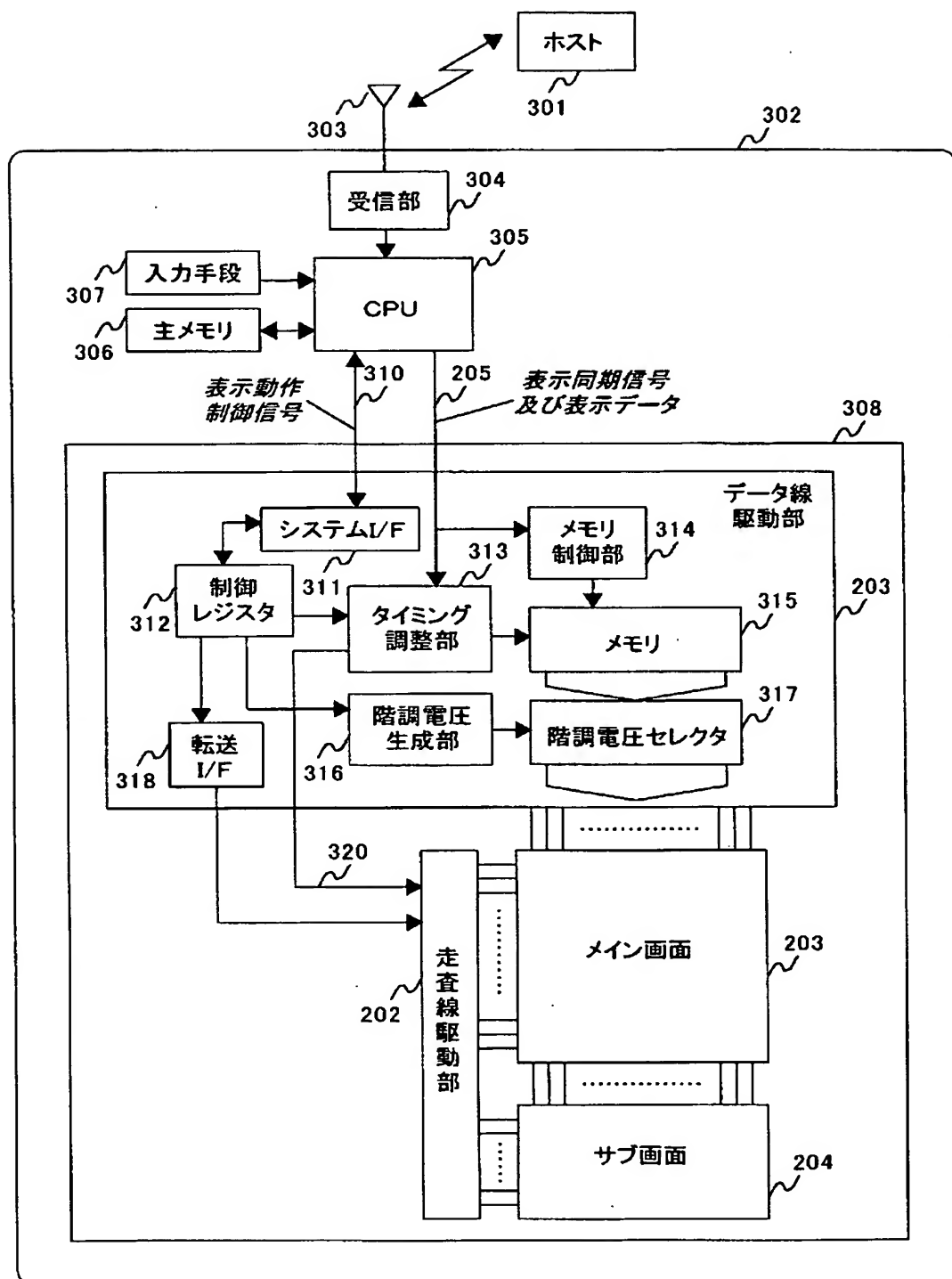


【図 2】



【図 3】

【図3】



【図 4】

【図 4】

制御レジスタ アドレス[HEX]	16bitデータ															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
10h	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	DS
	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	0
11h	SL7	SL6	SL5	SL4	SL3	SL2	SL1	SL0	ML7	ML6	ML5	ML4	ML3	ML2	ML1	ML0
	0	1	1	0	0	0	0	0	1	0	1	1	0	0	0	0
12h	*	*	*	*	*	*	*	*	BL7	BL6	BL5	BL4	BL3	BL2	BL1	BL0
	*	*	*	*	*	*	*	*	0	0	0	0	0	1	0	0
13h																

設定値	DS	
	0	1
駆動回路 の動作	メイン画面 表示動作 (サブ画面 非表示動作)	サブ画面 表示動作 (メイン画面 非表示動作)

DS: 表示状態を示す信号

ML: メイン画面駆動ライン数を示す信号

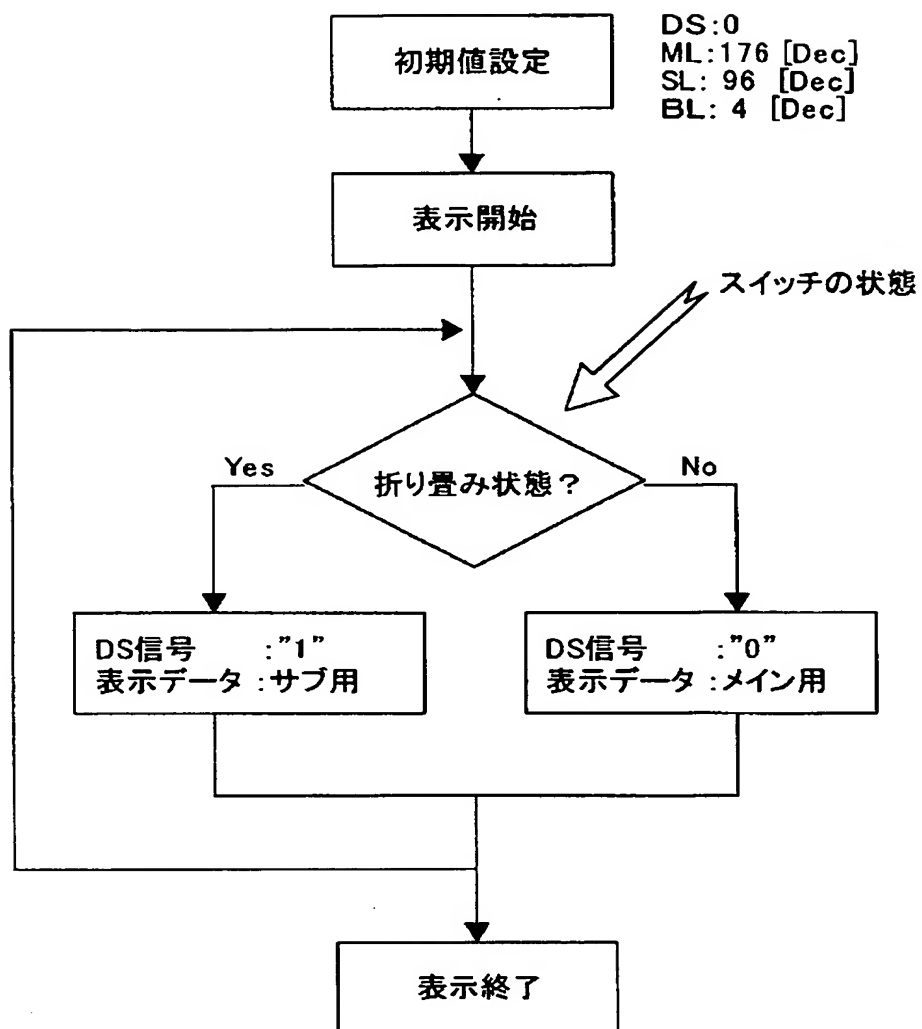
SL: サブ画面駆動ライン数を示す信号

BL: 垂直帰線期間ライン数を示す信号

*: 未設定データ

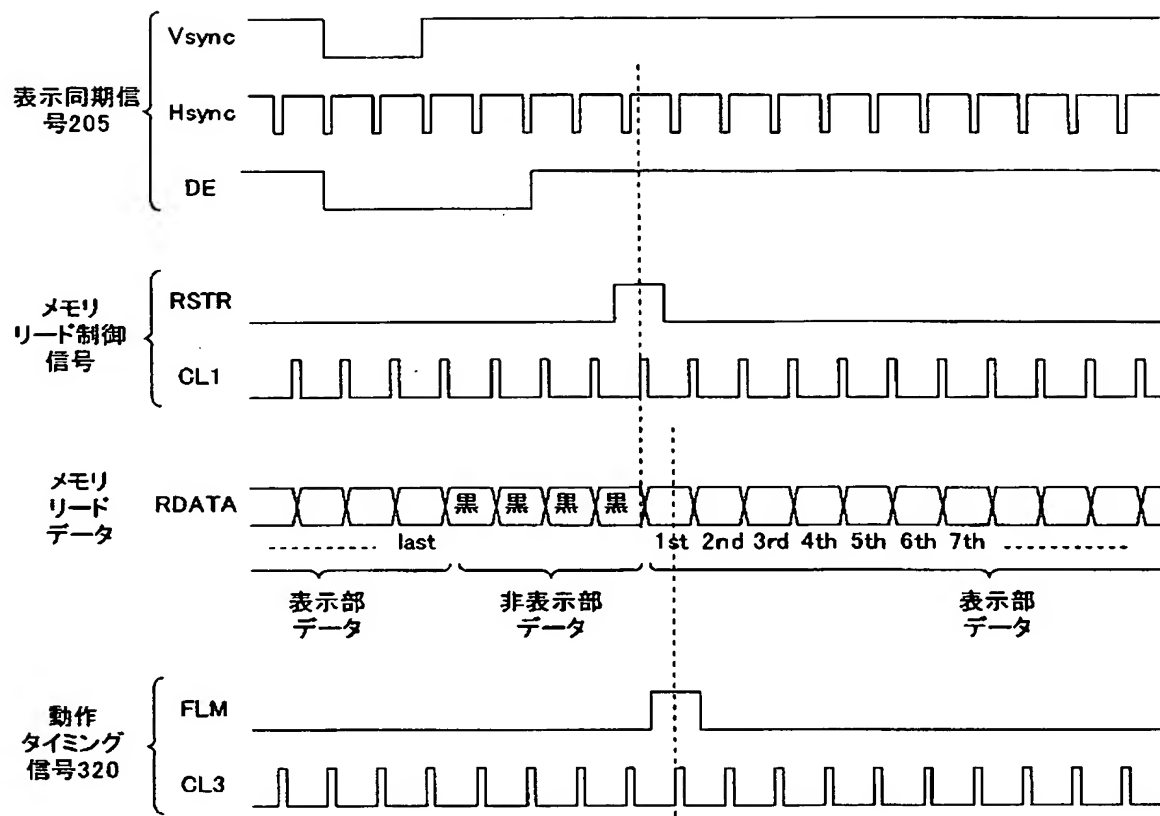
【図 5】

【図5】



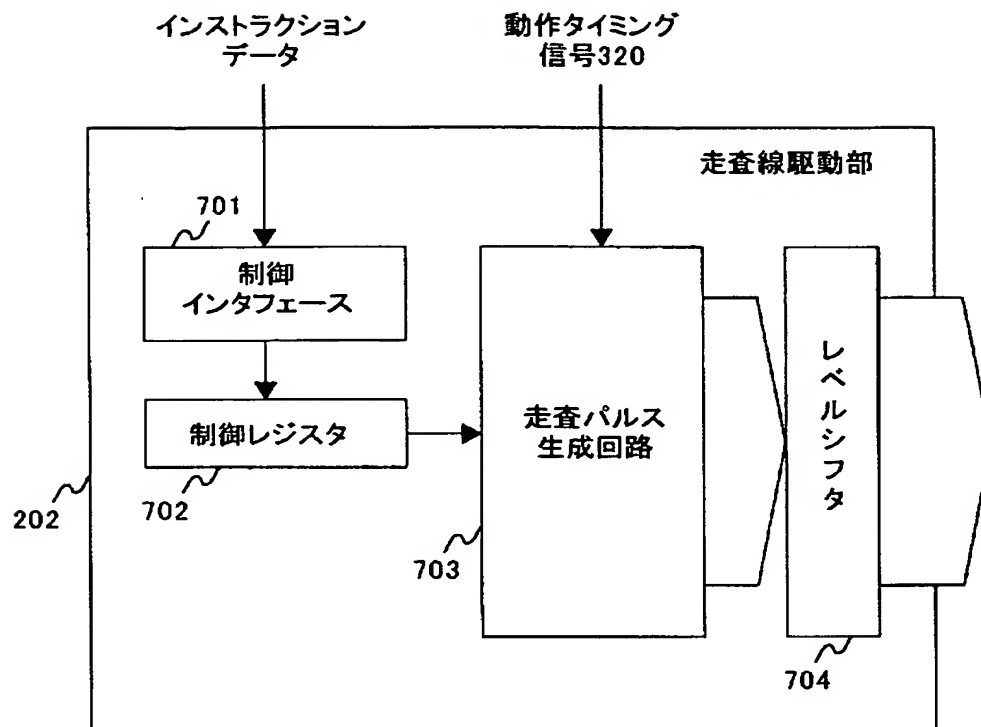
【図 6】

【図6】



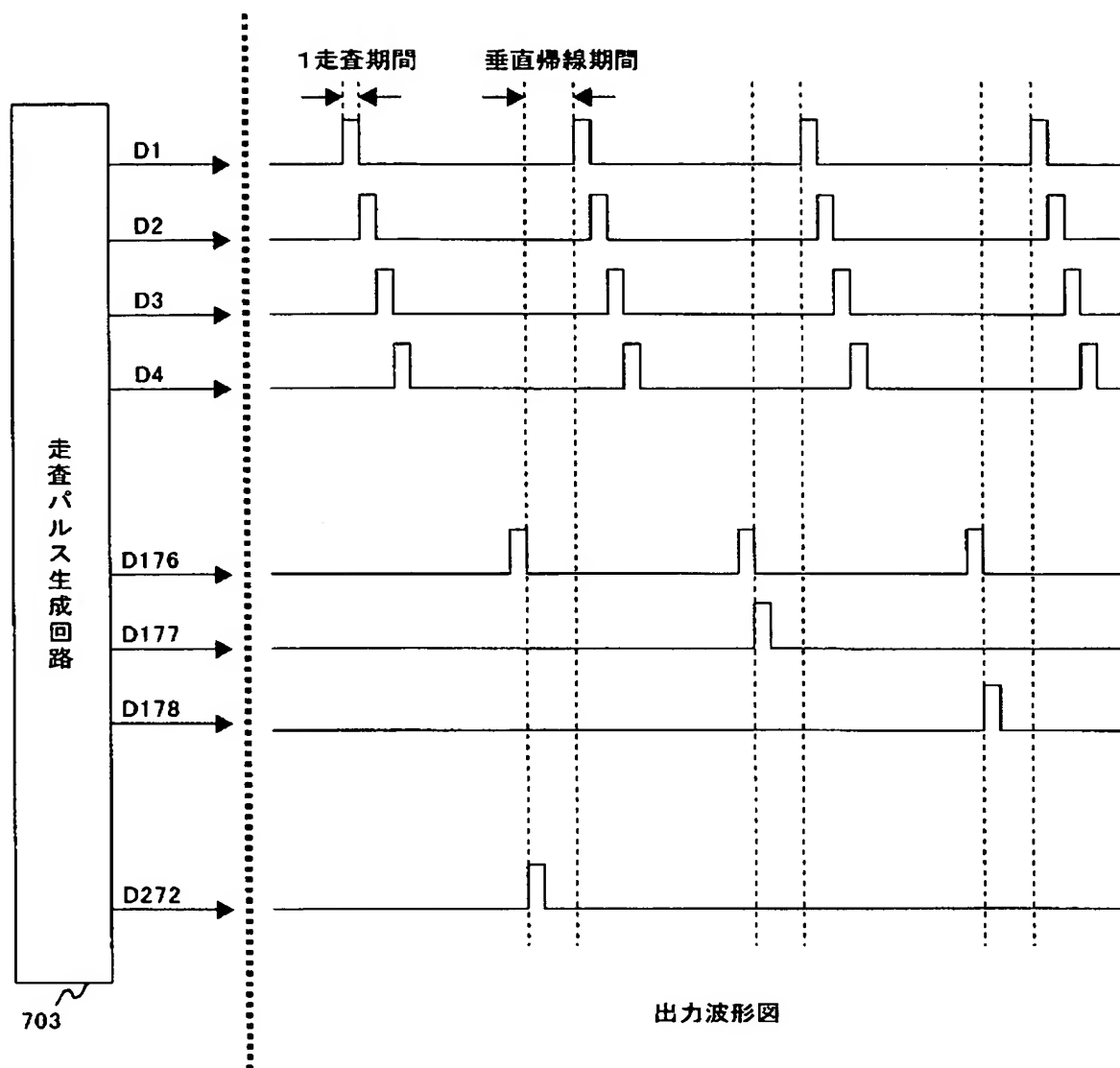
【図 7】

【図 7】



【図 8】

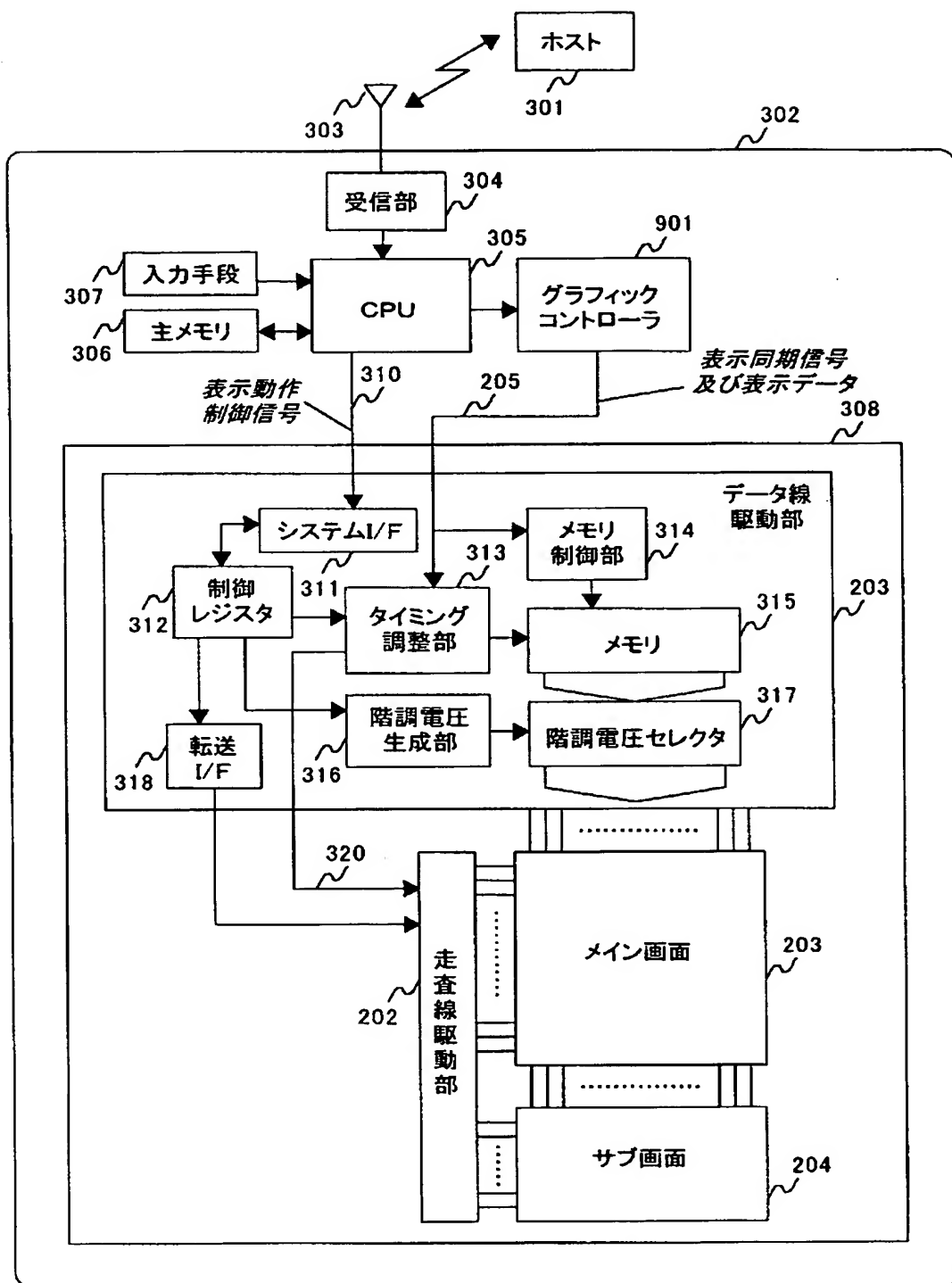
【図8】



出力波形図

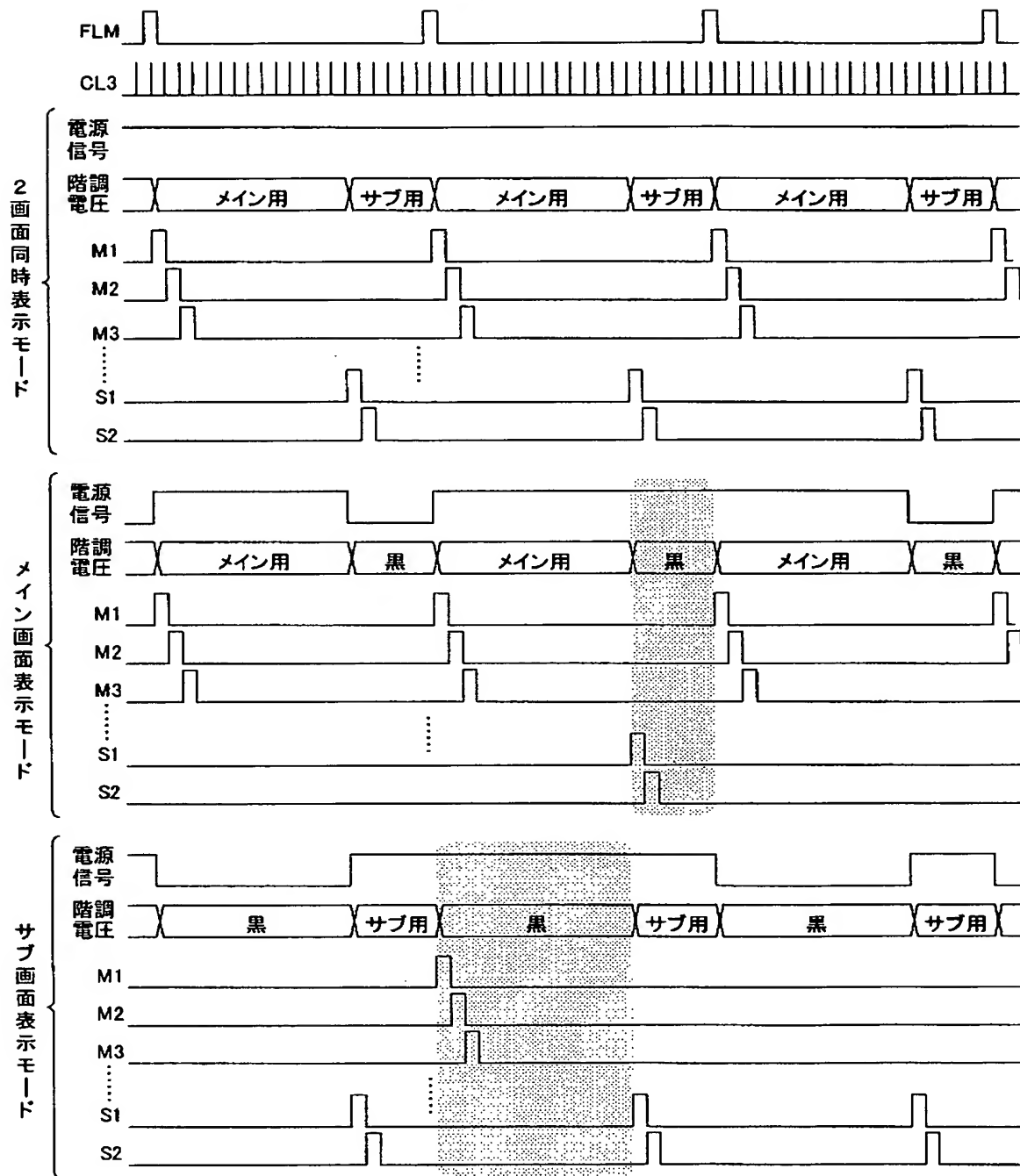
【図 9】

【図 9】



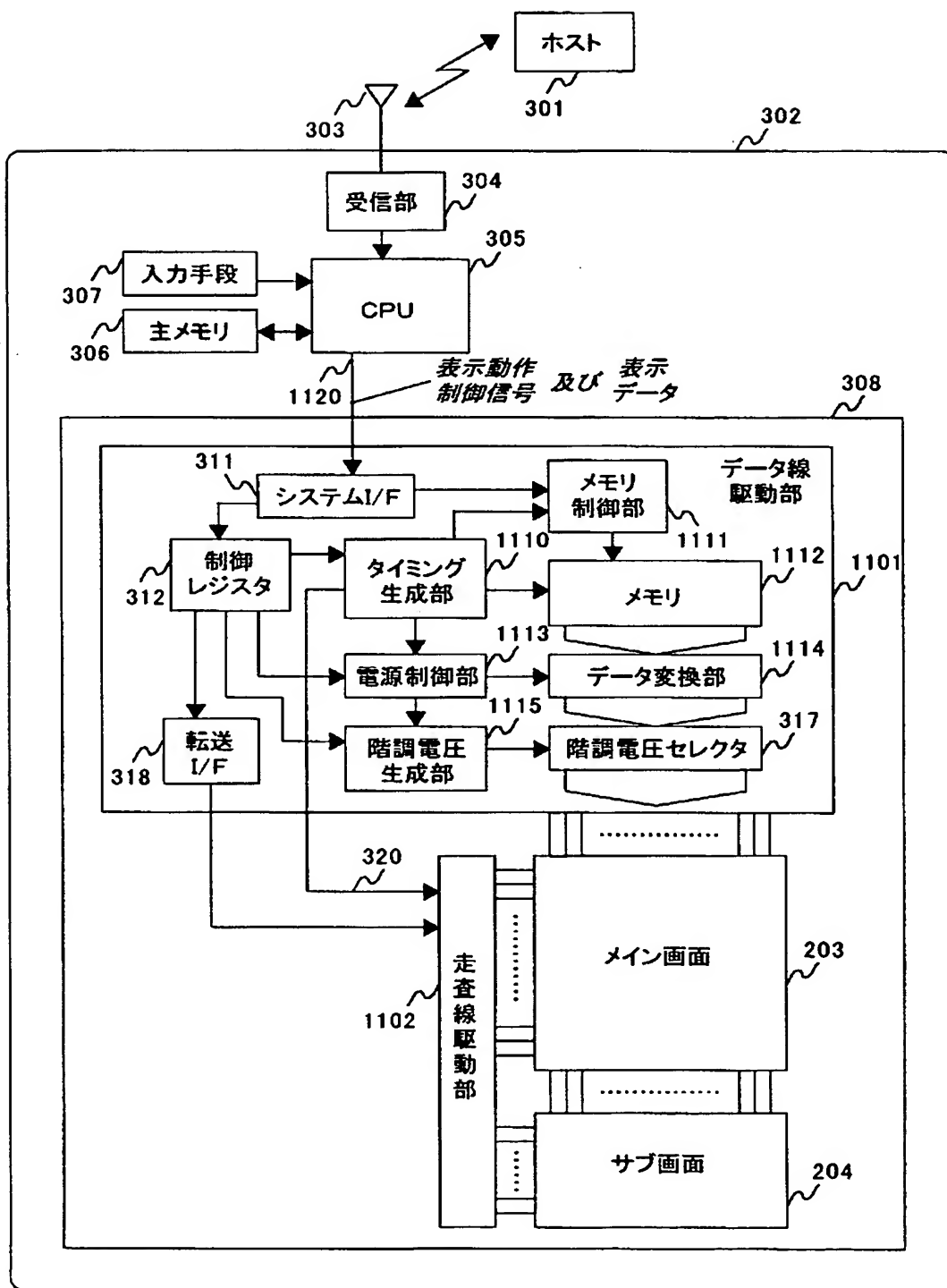
【図10】

【図10】



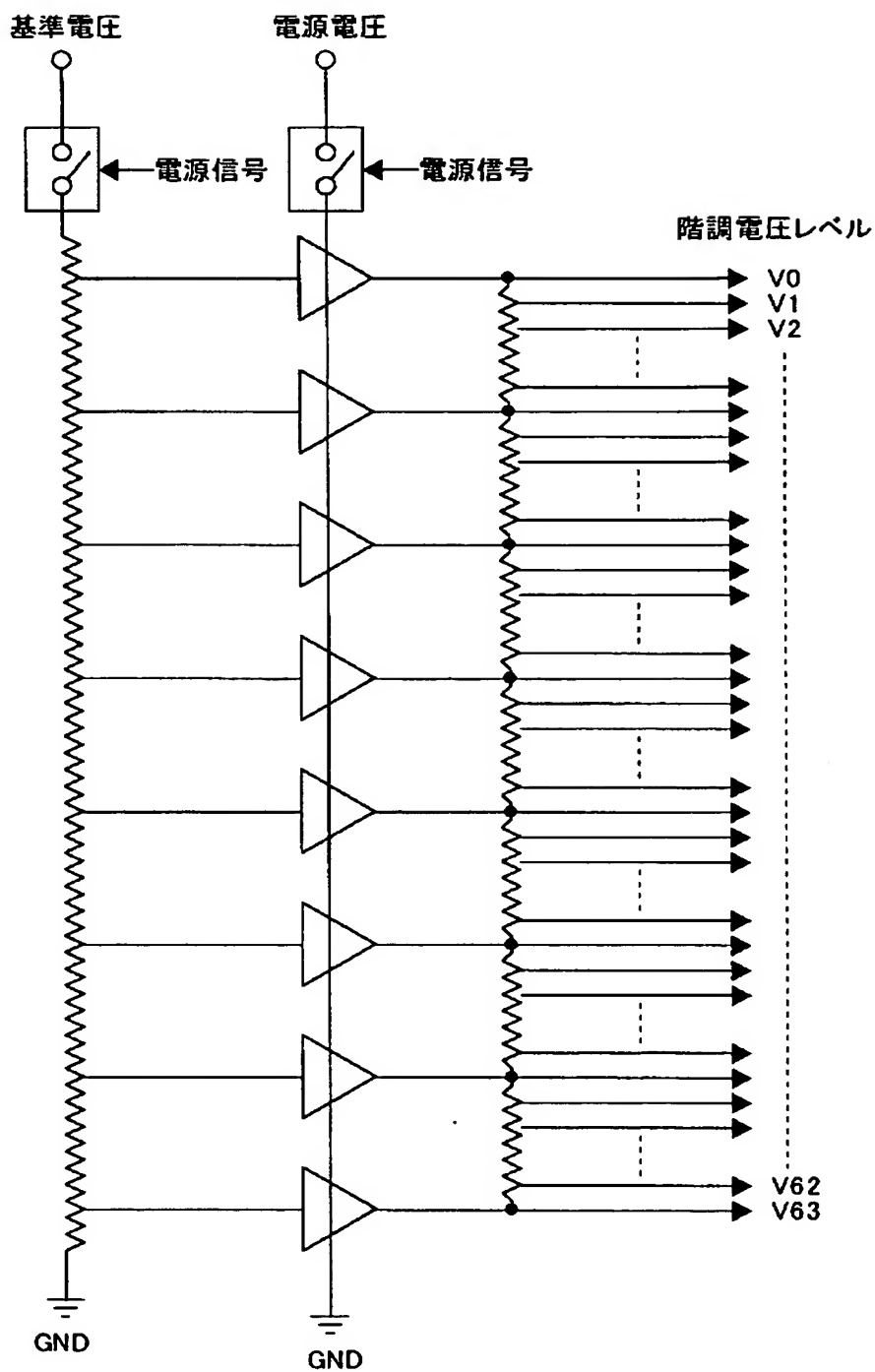
【図 11】

【図 11】



【図 12】

【図12】



【書類名】 要約書

【要約】

【課題】

メイン画面 2 0 3 及びサブ画面 2 0 4 を共通のデータ線駆動部 2 0 3 によって別々に駆動し、さらに、消費電力を低減する。

【解決手段】

データ線駆動部 2 0 3 は、メイン画面 2 0 3 及びサブ画面 2 0 4 で共通であり、さらに、CPU 3 0 5 からの表示データに応じた階調電圧をメイン画面 2 0 3 へ印加すると共に、メイン画面 2 0 3 の垂直帰線期間中に黒データ又は白データに応じた階調電圧をサブ画面 2 0 4 へ印加し、走査線駆動部 2 0 2 は、メイン画面 2 0 3 を走査するサブ画面 2 0 4 を走査すると共にメイン画面 2 0 3 の垂直帰線期間中にサブ画面 2 0 4 を走査する。

【選択図】 図 3

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 3 0 2 8 2
受付番号	5 0 3 0 0 1 9 5 7 6 5
書類名	特許願
担当官	第一担当上席 0 0 9 0
作成日	平成 1 5 年 2 月 1 0 日

< 認定情報・付加情報 >

【提出日】 平成15年 2月 7日

次頁無

特願 2 0 0 3 - 0 3 0 2 8 2

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 1 0 8]

1. 変更年月日 1 9 9 0 年 8 月 3 1 日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台 4 丁目 6 番地

氏 名 株式会社日立製作所

特願 2 0 0 3 - 0 3 0 2 8 2

出 願 人 履 歴 情 報

識別番号

[5 0 2 3 5 6 5 2 8]

1. 変更年月日

2 0 0 2 年 1 0 月 1 日

[変更理由]

新規登録

住 所

千葉県茂原市早野 3 3 0 0 番地

氏 名

株式会社 日立ディスプレイズ